

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012673

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 21/60  
H01L 21/52

(21)Application number : 08-167356

(71)Applicant : JAPAN SYNTHETIC RUBBER CO LTD

(22)Date of filing : 27.06.1996

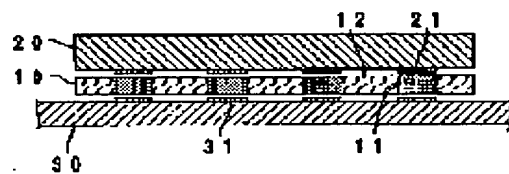
(72)Inventor : INOUE KAZUO

## (54) SHEET FOR MOUNTING SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To mount a semiconductor element on a circuit board through a simple process by providing a plurality of conducting path forming sections in accordance with corresponding patterns on the surface electrodes of the semiconductor element to be mounted and interposing an insulating section for sealing composed of a semicured thermosetting resin between each conducting path forming section.

**SOLUTION:** On a circuit board 30 on the surface of which a plurality of terminal electrodes 31 are formed in accordance with the pattern corresponding to the surface electrodes 21 of a semiconductor element 20, a sheet 10 for mounting semiconductor element is put so that the conducting path forming sections 11 of the sheet 10 can be positioned above their corresponding terminal electrodes 31. Then the semiconductor element 20 is positioned on the sheet 10 so that the surface electrodes 21 of the element 20 can be positioned respectively to their corresponding conducting path forming sections 11 of the sheet 10. Thereafter, the surfaces electrodes 21 are electrically connected to the terminal electrodes 31 through the conducting path forming sections 11 by heating an insulating section 12 for sealing while the section 12 is pressurized in the thickness direction and, at the same time, the clearance between the element 20 and board 30 is sealed by curing the insulating section 13.



This page blank (copy)

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平10-12673

(43) 公開日 平成10年(1998) 1月16日

(51) Int. Cl. <sup>6</sup>	識別記号	F I		
H01L 21/60	311	H01L 21/60	311	S
21/52		21/52		E

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平8-167356

(22) 出願日 平成 8 年 (1996) 6 月 27 日

(71) 出願人 000004178

日本合成ゴム株式会社

東京都中央区築地 2 丁目 11 番 24 号

(72) 発明者 井上 和夫

東京都中央区築地 2 丁目 11 番 24 号 日本合  
成ゴム株式会社内

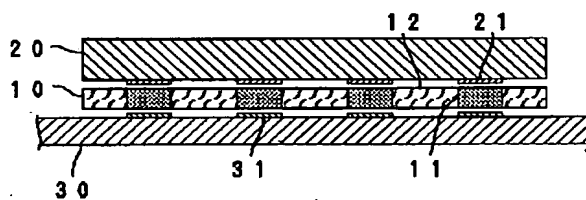
(74) 代理人 弁理士 大井 正彦

(54) 【発明の名称】 半導体素子実装用シートおよび半導体装置

(57) 【要約】 (修正有)

【課題】 表面電極を有する半導体素子を回路基板上に容易に実装することができる半導体素子実装用シートの提供、製造が容易で、温度環境の変化に対しても、半導体素子の表面電極と回路基板の端子電極との電気的接続状態を維持することができる半導体装置の提供。

【解決手段】 半導体素子実装用シートは、表面電極 21 を有する半導体素子 20 と回路基板 30 との間に配置して、半導体素子を回路基板上に実装するために用いられる半導体素子実装用シート 10 であって、実装すべき半導体素子の表面電極 21 に対応するパターンに従って配置された、高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の導電路形成部 11 と、これらの導電路形成部の間に介在されて各々を相互に絶縁し、加熱によって半導体素子と回路基板と接着する半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部 12 とよりなる。



## 【特許請求の範囲】

【請求項 1】 複数の表面電極を有する半導体素子と回路基板との間に配置して、当該半導体素子を当該回路基板上に実装するために用いられる半導体素子実装用シートであって、

実装すべき半導体素子の表面電極に対応するパターンに従って配置された、高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の導電路形成部と、これらの導電路形成部の間に介在されて各々を相互に絶縁し、加熱によって前記半導体素子と前記回路基板とを接着する半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部とよりなることを特徴とする半導体素子実装用シート。

【請求項 2】 複数の表面電極を有する半導体素子が、当該半導体素子の表面電極に対応するパターンに従って形成された端子電極を有する回路基板上に、フェースダウンボンディングにより実装されてなる半導体装置であって、

前記半導体素子と前記回路基板との間に、当該半導体素子および当該回路基板の各々に一体的に形成されたコネクター層を有してなり、

当該コネクター層は、弾性高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の弾性導電路形成部と、この弾性導電路形成部の各々を相互に絶縁するように形成された高分子物質よりなる封止部とよりなり、前記弾性導電路形成部は、前記半導体素子の表面電極と前記回路基板の端子電極との間に配置されて両者を電氣的に接続するものであることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【発明の属する技術分野】本発明は、半導体素子を回路基板上に実装するために用いられる半導体素子実装用シート、および回路基板上に半導体素子が実装されてなる半導体装置に関するものである。

## 【 0 0 0 2 】

【従来の技術】近年、半導体素子においては、その高性能化、高容量化に伴って電極数が増加し、表面電極の配列ピッチすなわち隣接する表面電極の中心間距離が小さくなって高密度化する傾向にある。そのため、このような半導体素子を回路基板上に実装して半導体装置を製造する場合には、半導体素子の表面電極と回路基板の端子電極との電氣的接続を確実に達成することが極めて重要である。

【 0 0 0 3 】 従来、半導体素子を回路基板上に実装する方法としては、フリップチップ実装法が知られている。このフリップチップ実装法においては、例えば次のようにして半導体素子が回路基板上に実装されて半導体装置が製造される。図 1 0 (イ) に示すように、半導体素子 8 0 の表面電極 8 1 上に、例えば半田よりなる接続用の突起状電極（以下、「半田パンプ」という。） 8 2 を形

成する。次いで、図 1 0 (ロ) に示すように、半導体素子 8 0 の表面電極 8 1 と対掌なパターンに従って端子電極 9 1 が形成された回路基板 9 0 上に、半導体素子 8 0 を、半田パンプ 8 2 の各々がこれに対応する回路基板 9 0 の端子電極 9 1 に対接させた状態で配置する。この状態で、半田パンプ 8 2 を溶融させることにより、図 1 0 (ハ) に示すように、回路基板 9 0 の端子電極 9 1 に接合する。そして、半導体素子 8 0 と回路基板 9 0 との間隙 S 内に例えば熱硬化性樹脂材料を注入してこれを硬化させることにより、図 1 0 (ニ) に示すように、当該半導体素子 8 0 と回路基板 9 0 との間に封止部 8 3 を形成し、以て、半導体素子 8 0 が回路基板 9 0 上に実装されてなる半導体装置が得られる。

【 0 0 0 4 】 このようなフリップチップ実装法によれば、広い範囲にわたって表面電極 8 1 が形成された半導体素子 8 0 であっても、回路基板 9 0 上に実装することができる点、半導体素子 8 0 の表面電極 8 1 の各々に対応する回路基板 9 0 の端子電極 9 1 の各々に一括して接続することができる点、半導体素子 8 0 の実装面積を小さくすることができ、また半導体素子 8 0 全体の小型化が可能である点で有利である。

【 0 0 0 5 】 しかしながら、フリップチップ実装法により、半導体素子 8 0 を回路基板 9 0 上に実装する場合には、以下のような問題がある。

(1) 半導体素子 8 0 の表面電極 8 1 上に、半田パンプ 8 2 を形成するためには、(イ) 半導体素子 8 0 における表面電極 8 1 が形成された表面全体に、半田メッキのための電極となる金属薄膜を形成するプロセス、(ロ) この金属薄膜の表面に、表面電極 8 1 の各々が位置する個所に開口を有するレジスト層を形成するプロセス、

(ハ) 金属薄膜における表面電極 8 1 の各々が位置する個所の表面に半田パンプ 8 2 用の半田メッキ層を形成するプロセス、(ニ) レジスト層を除去するプロセス、

(ホ) 半田メッキ層が形成された部分以外の金属薄膜を除去するプロセスが必要であり、半田パンプ 8 2 を形成する工程は極めて煩雑なものとなる。また、この半田パンプ 8 2 を形成する工程とは別個に、封止部 8 3 を形成する工程が必要であり、しかも、内部に気泡による空隙が生じないように封止部 8 3 を形成することは極めて困難である。以上のような理由により、フリップチップ実装法においては、半導体素子 8 0 を回路基板 9 0 上に容易に実装することができない。

【 0 0 0 6 】 (2) 半導体素子 8 0 を構成する材料、封止部 8 3 を構成する材料および回路基板 3 0 を構成する材料は、それぞれ熱膨張係数が異なるものである。従って、得られる半導体装置においては、温度変化による熱履歴を受けた場合などには、各構成材料の熱膨張係数の差に起因して半田パンプ 8 2 には相当に大きい応力が作用するため、半田パンプ 8 2 が破損して接続不良が発生し、その結果、半導体素子 8 0 の表面電極 8 1 と回路基

板 9 0 の端子電極 9 1 との電氣的接続状態を維持することができない。

【 0 0 0 7 】

【発明が解決しようとする課題】本発明は、以上のような事情に基づいてなされたものであって、その目的は、複数の表面電極を有する半導体素子を回路基板上に容易に実装することができる半導体素子実装用シートを提供することにある。本発明の他の目的は、表面電極を有する半導体素子が端子電極を有する回路基板上にフェースダウンボンディングにより実装されてなる半導体装置であって、簡単な工程で容易に製造することができ、しかも、温度変化による熱履歴などの環境の変化に対しても、半導体素子の表面電極と回路基板の端子電極との良好な電氣的接続状態を安定に維持することができる半導体装置を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】本発明の半導体素子実装用シートは、複数の表面電極を有する半導体素子と回路基板との間に配置して、当該半導体素子を当該回路基板上に実装するために用いられる半導体素子実装用シートであって、実装すべき半導体素子の表面電極に対応するパターンに従って配置された、高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の導電路形成部と、これらの導電路形成部の間に介在されて各々を相互に絶縁し、加熱によって前記半導体素子と前記回路基板とを接着する半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部とよりなることを特徴とする。

【 0 0 0 9 】本発明の半導体装置は、複数の表面電極を有する半導体素子が、当該半導体素子の表面電極に対応するパターンに従って形成された端子電極を有する回路基板上に、フェースダウンボンディングにより実装されてなる半導体装置であって、前記半導体素子と前記回路基板との間に、当該半導体素子および当該回路基板の各々に一体的に形成されたコネクタ層を有してなり、当該コネクタ層は、弾性高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の弾性導電路形成部と、この弾性導電路形成部の各々を相互に絶縁するよう形成された高分子物質よりなる封止部とよりなり、前記弾性導電路形成部は、前記半導体素子の表面電極と前記回路基板の端子電極との間に配置されて両者を電氣的に接続するものであることを特徴とする。

【 0 0 1 0 】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。図 1 は、本発明に係る半導体素子実装用シートの一例における構成および実装すべき半導体素子の構成の概略を示す説明用断面図である。この半導体素子実装用シート 1 0 においては、絶縁性の高分子物質中に導電性粒子が充填されてなる、厚み方向に伸びる複数の導電路形成部 1 1 が、実装すべき板状の半導体素子 2 0 の表面電極 2 1 に対応する特定のパターンに従っ

て形成されており、これらの導電路形成部 1 1 の間には、半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部 1 2 が介在されており、隣接する導電路形成部 1 1 の各々は、封止用絶縁部 1 2 によって相互に絶縁された状態とされている。

【 0 0 1 1 】ここで、半硬化状態とは、シートの形状が維持される程度に硬化された状態であって、かつ、完全に硬化されていない状態すなわち更に硬化が進行しうる状態をいう。

10 【 0 0 1 2 】半導体素子実装用シート 1 0 の厚み  $t$  は、実装すべき半導体素子 2 0 における表面電極 2 1 の配置ピッチ  $p$  および電極径  $d$  に応じて適宜選定される。例えば、実装すべき半導体素子 2 0 における表面電極 2 1 の配置ピッチ  $p$  が  $150\mu\text{m}$ 、電極径  $d$  が  $100\mu\text{m}$  の場合には、半導体素子実装用シート 1 0 の厚み  $t$  は  $50\sim 250\mu\text{m}$  であることが好ましい。

20 【 0 0 1 3 】導電路形成部 1 1 を構成する高分子物質としては、種々のもの、例えば弾性高分子物質、熱可塑性樹脂、熱硬化性樹脂などを用いることができるが、架橋構造を有する弾性高分子物質が好ましい。かかる架橋弾性高分子物質を得るために用いることができる硬化性の弾性高分子物質用材料としては、例えばシリコーンゴム、ポリブタジエンゴム、天然ゴム、ポリイソプレン、スチレン-ブタジエン共重合体ゴム、アクリロニトリル-ブタジエン共重合体ゴム、エチレン-プロピレン共重合体ゴム、ウレタンゴム、ポリエステル系ゴム、クロロプレナム、エピクロルヒドリンゴム、軟質液状エポキシゴムなどが挙げられる。弾性高分子物質用材料を架橋するために用いられる架橋剤は特に限定されるものではなく、一般的に使用される架橋剤を用いることができ、その使用量も一般的な使用量、例えば弾性高分子物質用材料 1 0 0 重量部に対して  $3\sim 15$  重量部であればよい。

30 【 0 0 1 4 】導電路形成部 1 1 を構成する導電性粒子としては、例えばニッケル、鉄、コバルトなどの磁性を有する金属の粒子若しくはこれらの合金の粒子、またはこれらの粒子に金、銀、パラジウム、ロジウムなどのメッキを施したもの、ガラスビーズなどの無機質粒子またはスチレン系若しくはジビニルベンゼン系のポリマー粒子にニッケル、金などの磁性を有する金属のメッキを施したもの、カーボン粒子などが挙げられる。

40 【 0 0 1 5 】また、導電性に支障を与えない範囲で、導電性粒子の表面がシランカップリング剤、チタンカップリング剤などのカップリング剤で処理されたものを適宜用いることができる。導電性粒子の表面がカップリング剤で処理されることにより、当該導電性粒子と硬化性の高分子物質材料との接着力が大きくなり、その結果、得られる導電路形成部 1 1 は、耐久性が高いものとなる。

50 【 0 0 1 6 】導電路形成部 1 1 における導電性粒子の割合は、体積分率で  $25\sim 65\%$  であることが好ましい。

また、導電性粒子の粒径は、 $10 \sim 50 \mu\text{m}$ であることが好ましい。このような条件を満足することにより、当該導電路形成部11には良好な導電性が得られ、所期の電氣的接続を確実に達成することができる。

【0017】封止用絶縁部12を構成する熱硬化性樹脂材料としては、適宜の処理例えば加熱処理によって半硬化状態となり得るものが用いられ、その具体例としては、エポキシ系樹脂材料、ポリイミド系樹脂材料、フェノール系樹脂材料などが挙げられる。

【0018】上記の半導体素子実装用シート10を用いることにより、次のようにして半導体素子20を回路基板30上に実装することができる。図2に示すように、実装すべき半導体素子20の表面電極21と対掌なパターンに従って表面に複数の端子電極31が形成された回路基板30上に、半導体素子実装用シート10をその導電路形成部11の各々がこれに対応する回路基板30の端子電極31上に位置するよう配置し、この半導体素子実装用シート10上に、半導体素子20をその表面電極21の各々が対応する半導体素子実装用シート10の導電路形成部11に位置するよう配置する。そして、厚み方向に加圧した状態で封止用絶縁部12の加熱処理を行なうことにより、半導体素子20の表面電極21と回路基板30の端子電極31とが導電路形成部11を介して電氣的に接続された状態で、半導体素子20と回路基板30とが硬化された封止用絶縁部12により接着されて半導体素子20と回路基板30との間が封止され、以て、半導体素子20が回路基板30上に実装される。

【0019】封止用絶縁部12の加熱処理の条件は、使用される熱硬化性樹脂材料の種類によって適宜選定される。例えば、熱硬化性樹脂材料がエポキシ系樹脂材料である場合には、加熱温度は $120 \sim 150^\circ\text{C}$ で、加熱時間は $0.5 \sim 2.0$ 時間であり、熱硬化性樹脂材料がポリイミド系樹脂材料である場合には、加熱温度は $200 \sim 350^\circ\text{C}$ で、加熱時間は $0.5 \sim 2.0$ 時間であり、熱硬化性樹脂材料がフェノール系樹脂材料である場合には、加熱温度は $120 \sim 150^\circ\text{C}$ で、加熱時間は $1.0 \sim 2.0$ 時間である。

【0020】上記の半導体素子実装用シート10によれば、実装すべき半導体素子20と回路基板30との間に介在させて、半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部12を硬化させることにより、半導体素子20の表面電極21と回路基板30の端子電極31とが導電路形成部11を介して電氣的に接続された状態で、半導体素子20と回路基板30との間が封止される。従って、半導体素子20の表面電極21上に半田バンプを形成することなしに、半導体素子20の表面電極21を回路基板30の端子電極31に電氣的に接続することができ、しかも、半導体素子20の表面電極21と回路基板30の端子電極31との電氣的接続、および半導体素子20と回路基板30との間の封止を同一の工程で行なうこと

ができるので、回路基板30上に半導体素子20を容易に実装することができる。

【0021】上記の半導体素子実装用シート10は、例えば以下のようにして製造することができる。先ず、図3に示すように、実装すべき半導体素子20の表面電極21に対応する特定のパターンに従って複数の貫通孔15が形成された、半硬化状態の熱硬化性樹脂材料よりなる封止用絶縁部シート14を製造すると共に、前述の高分子物質用材料中に導電性粒子を分散させて、流動性の混合物よりなる導電路形成部用材料を調製する。

【0022】以上において、封止用絶縁部シート14を製造する方法としては、液状の熱硬化性樹脂材料を、半導体素子20の表面電極21に対応するパターンに従って複数の突起部が形成された金型内に注入し、当該熱硬化性樹脂材料を例えば加熱処理することにより半硬化状態にする方法、半硬化状態の熱硬化性樹脂材料よりなるシートを用意し、このシートに、レーザ加工、プレス打ち抜き、エッチング処理等の手段により貫通孔15を形成する方法が挙げられる。

【0023】熱硬化性樹脂材料を半硬化状態にするための条件は、使用される熱硬化性樹脂材料の種類によって、適宜選定される。例えば、熱硬化性樹脂材料がエポキシ系樹脂材料である場合には、加熱温度は $80 \sim 100^\circ\text{C}$ で、加熱時間は $0.5 \sim 1.0$ 時間であり、熱硬化性樹脂材料がポリイミド系樹脂材料である場合には、加熱温度は $120 \sim 160^\circ\text{C}$ で、加熱時間は $0.5 \sim 1.0$ 時間であり、熱硬化性樹脂材料がフェノール系樹脂材料である場合には、加熱温度は $80 \sim 100^\circ\text{C}$ で、加熱時間は $0.5 \sim 1.0$ 時間である。

【0024】次いで、図4に示すように、例えばスキージ16を用いて、導電路形成部用材料13を封止用絶縁部シート14の貫通孔15内に充填する。そして、封止用絶縁部シート14の貫通孔15内に充填された導電路形成部用材料13を硬化処理することにより、導電路形成部11を形成する。

【0025】導電路形成部用材料13の硬化処理は、封止用絶縁部シート14を構成する半硬化状態の熱硬化性樹脂材料の硬化が進行しない条件下で行なわれ、使用される材料によって適宜選定されるが、通常、加熱処理によって行なわれる。具体的な加熱温度および加熱時間は、使用される高分子物質用材料の種類、封止用絶縁部シート14を構成する熱硬化性樹脂材料の種類などを考慮して適宜選定される。例えば、高分子物質用材料が室温硬化型シリコンゴムである場合には、室温で24時間程度、 $40^\circ\text{C}$ で2時間程度、 $80^\circ\text{C}$ で30分間程度で行なわれる。

【0026】以上において、導電路形成部11を構成する導電性粒子として磁性を有するものを用いる場合には、導電路形成部用材料13の硬化処理を行なう前に或いは硬化処理を行ないながら、導電路形成部用材料13

の厚み方向に磁場を作用させることにより、当該導電路形成部用材料 1 3 中の導電性粒子を厚み方向に配向させることができる。

【 0 0 2 7 】 具体的には、図 5 に示すように、貫通孔 1 5 内に導電形成部用材料 1 3 が充填された封止用絶縁部シート 1 4 を、一対の電磁石 1 7、1 8 の間に配置し、この電磁石 1 7、1 8 を作動させることにより、導電形成部用材料 1 3 の厚み方向に平行磁場が作用し、その結果、導電路形成部用材料 1 3 中に分散されていた磁性を有する導電性粒子が厚み方向に並ぶよう配向する。導電路形成部用材料 1 3 に作用される平行磁場の強度は、平均で 2 0 0 ~ 1 0 0 0 0 ガウスとなる大きさが好ましい。また、平行磁場を作用させる手段としては、電磁石の代わりに永久磁石を用いることもできる。このような永久磁石としては、上記の範囲の平行磁場の強度が得られる点で、アルニコ ( F e - A l - N i - C o 系合金 )、フェライトなどよりなるものが好ましい。このようにして得られる導電路形成部 1 1 は、導電性粒子が厚み方向に配向しているため、導電性粒子の割合が小さくても良好な導電性が得られる。

【 0 0 2 8 】 本発明の半導体素子実装用シートにおいては、導電路形成部 1 1 を構成する高分子物質として、封止用絶縁部 2 2 を構成する半硬化状態の熱硬化性樹脂材料と同様のものを用いることができる。このような構成の半導体素子実装用シートは、例えば次のようにして製造することができる。すなわち、液状の熱硬化性樹脂材料中に磁性を有する導電性粒子が含有されてなる熱硬化性樹脂材料シートを調製し、この熱硬化性樹脂材料シートにおける導電路形成部となる部分のみにその厚み方向に磁場を作用させることにより、当該導電路形成部となる部分のみに導電性粒子を集合させると共に、当該熱硬化性樹脂材料シートを加熱処理によって半硬化状態にする。

【 0 0 2 9 】 このような方法により半導体素子実装用シートを製造する場合には、具体的には、例えば図 6 に示すような一対の磁極板が用いられる。一方の磁極板 5 0 においては、実装すべき半導体素子 2 0 の表面電極 2 1 と同一のパターンに従って強磁性体部分 5 1 が形成され、この強磁性体部分 5 1 以外の部分には非磁性体部分 5 2 が形成されている。また、他方の磁極板 5 5 においては、実装すべき半導体素子 2 0 の表面電極 2 1 と対掌なパターンに従って強磁性体部分 5 6 が形成され、この強磁性体部分 5 6 以外の部分には非磁性体部分 5 7 が形成されている。

【 0 0 3 0 】 一方の磁極板 5 0 の強磁性体部分 5 1 および他方の磁極板 5 5 の強磁性体部分 5 6 を構成する材料としては、鉄、ニッケル、コバルトまたはこれらの合金などを用いることができる。また、一方の磁極板 5 0 の非磁性体部分 5 2 および他方の磁極板 5 5 の非磁性体部分 5 7 を構成する材料としては、銅などの非磁性金属、

ポリイミドなどの耐熱性樹脂などを用いることができる。

【 0 0 3 1 】 そして、このような磁極板 5 0、5 5 を用いることにより、次のようにして半導体素子実装用シートが得られる。図 7 (イ) に示すように、他方の磁極板 5 5 の上面に、導電性粒子が含有されてなる熱硬化性樹脂材料を塗布することにより、熱硬化性樹脂材料シート 1 9 を形成し、図 7 (ロ) に示すように、熱硬化性樹脂材料シート 1 9 上に、一方の磁極板 5 0 を、その強磁性体部分 5 1 の各々が対応する他方の磁極板 5 5 の強磁性体部分 5 6 の上方位置に位置されるよう配置する。

【 0 0 3 2 】 そして、図 8 に示すように、一方の磁極板 5 0 の上面および他方の磁極板 5 5 の下面に電磁石 1 7、1 8 を配置してこの電磁石 1 7、1 8 を作動させることにより、一方の磁極板 5 0 の強磁性体部分 5 1 からこれに対応する他方の磁極板 5 5 の強磁性体部分 5 6 に向かう方向に平行磁場を作用させる。その結果、熱硬化性樹脂材料シート 1 9 においては、当該熱硬化性樹脂材料シート 1 9 中に分散されていた導電性粒子が、一方の磁極板 5 0 の強磁性体部分 5 1 と他方の磁極板 5 5 の強磁性体部分 5 6 との間に位置する部分に集合し、更に好ましくは厚み方向に並ぶよう配向する。そして、この状態において、熱硬化性樹脂材料シートを加熱処理によって半硬化状態にすることにより、実装すべき半導体素子 2 0 の表面電極 2 1 に対応するパターンに従って導電性粒子が集合した導電路形成部 1 1 と、導電性粒子が全く、あるいは殆ど存在しない封止用絶縁部 1 2 とが形成された半導体素子実装用シートが得られる。

【 0 0 3 3 】 図 9 は、本発明に係る半導体装置の一例における構成の概略を示す説明用断面図であり、この半導体装置は、表面電極 2 1 を有する半導体素子 2 0 が、当該半導体素子 2 0 の表面電極 2 1 と対掌なパターンに従って形成された端子電極 3 1 を有する回路基板 3 0 上に、フェースダウンボンディングにより実装されてなるものである。半導体素子 2 0 の表面電極 2 1 は、例えばアルミニウムにより構成されており、回路基板 3 0 の端子電極 3 0 は、例えば銅、金、銀、パラジウムなどにより構成されている。また、回路基板 3 0 の基板本体を構成する材料としては、例えばセラミックス、ガラス繊維補強型エポキシ樹脂を用いることができる。

【 0 0 3 4 】 半導体素子 2 0 と回路基板 3 0 との間には、コネクタ層 4 0 が、当該半導体素子 2 0 および当該回路基板の各々に対して一体的に接着された状態で形成されている。このコネクタ層 4 0 においては、絶縁性の弾性高分子物質中に導電性粒子が充填されてなる厚み方向に伸びる複数の弾性導電路形成部 4 1 が、半導体素子 2 0 の表面電極 2 1 に対応するパターンに従って形成されている。これらの弾性導電路形成部 4 1 の各々は、高分子物質よりなる封止部 4 2 によって相互に絶縁された状態で、かつ、対応する半導体素子 2 0 の表面電

極21と回路基板30の端子電極31との間に位置された状態で配置されており、これにより、半導体素子20の表面電極21と回路基板30の端子電極31とが電気的に接続されている。

【0035】コネクタ層40の厚みTは、半導体素子20における表面電極21の配置ピッチpおよび電極径dに応じて適宜選定される。例えば、半導体素子20における表面電極21の配置ピッチpが $150\mu\text{m}$ 、電極径dが $100\mu\text{m}$ の場合には、コネクタ層40の厚みTは $50\sim 250\mu\text{m}$ であることが好ましい。また、弾性導電路形成部41の弾性の程度は、例えば圧縮弾性率で $3.5\times 10^6\sim 6.2\times 10^6\text{ N/m}^2$ であることが好ましい。

【0036】弾性導電路形成部41を構成する絶縁性の弾性高分子物質としては、架橋構造を有する弾性高分子物質が好ましい。かかる架橋弾性高分子物質を得るために用いることができる硬化性の弾性高分子物質用材料としては、前述の半導体素子実装用シート10における導電路形成部11を得るための弾性高分子物質用材料と同様のものが挙げられる。また、弾性導電路形成部41を構成する導電性粒子としては、前述の半導体素子実装用シート10における導電路形成部11を構成する導電性粒子と同様のものが挙げられる。

【0037】封止部42を構成する高分子物質としては、熱硬化性樹脂を好適に用いることができ、その具体例としては、エポキシ系樹脂、ポリイミド系樹脂、フェノール系樹脂などが挙げられる。

【0038】上記の半導体装置は、弾性高分子物質中に導電性粒子が充填されてなる導電路形成部11を有する半導体素子実装用シート10を用いることにより、製造することができる。すなわち、半導体素子20と回路基板30との間に、半導体素子実装用シート10を、導電路形成部11の各々がこれに対応する半導体素子20の表面電極21と回路基板30の端子電極31との間に位置するよう配置し、厚み方向に加圧した状態で半導体素子実装用シート10の封止用絶縁部12の加熱処理を行なうことにより、半導体素子20および回路基板30の各々に一体的にコネクタ層40が形成され、以て、上記の半導体装置が製造される。

【0039】上記の半導体装置によれば、半導体素子20の表面電極21と回路基板30の端子電極31とがコネクタ層40の弾性導電路形成部41を介して電気的に接続されているため、当該半導体装置を製造する際に、半導体素子20の表面電極21上に半田パンプを形成する必要がなく、また、上記の半導体素子実装用シート10を用いることにより、コネクタ層40における弾性導電路形成部41および封止部42を同一の工程で形成することができるので、簡単な工程で容易に製造することができる。

【0040】また、温度変化による熱履歴を受けること

により、半導体素子20、回路基板30および封止部42の各々の構成材料の熱膨張係数の差に起因して、弾性導電路形成部41に相当に大きい応力が作用しても、当該弾性導電路形成部41は、それに作用される応力の大きさに応じて変形するため破損することがない。従って、温度変化による熱履歴などの環境の変化に対しても、半導体素子20の表面電極21と回路基板30の端子電極31との良好な電気的接続状態を安定に維持することができる。

【0041】

【実施例】以下、本発明の具体的な実施例について説明するが、本発明はこれに限定されるものではない。

〈実施例〉

(1) 封止用絶縁部シートの作製

表面にピッチが $250\mu\text{m}$ で、径が $120\mu\text{m}$ の複数の突起部が形成された金型を用い、この金型内において、エポキシ系樹脂材料よりなるよりなる熱硬化性樹脂材料を、加熱温度 $80^\circ\text{C}$ 、加熱時間1時間の条件で加熱処理することにより、ピッチが $250\mu\text{m}$ で、径が $120\mu\text{m}$ の複数の貫通孔(15)が形成された、半硬化状態の熱硬化性樹脂材料よりなる厚みが $50\mu\text{m}$ の封止用絶縁部シート(14)を作製した(図3参照)。

【0042】(2) 導電路形成部用材料の調製

室温硬化型シリコンゴム中に、平均粒子径が $30\mu\text{m}$ のニッケルよりなる導電性粒子を80重量%となる割合で混合することにより、導電路形成部用材料を調製した。

【0043】(3) 半導体素子実装用シートの製造

スキージ(16)を用いて、導電路形成部用材料(13)を封止用絶縁部シート(14)の貫通孔(15)内に充填し(図4参照)、この封止用絶縁部シート(14)を一对の電磁石(17、18)の間に配置して当該電磁石(17、18)を作動させることにより、封止用絶縁部シート(14)の厚み方向に平行磁場を作用させ(図5参照)、そのままの状態にて $100^\circ\text{C}$ にて0.5時間放置して導電路形成部用材料(13)を硬化させることにより、図1に示す半導体素子実装用シート(10)を製造した。この半導体素子実装用シート(10)の導電路形成部(11)における導電性粒子の割合は、体積分率で55%である。また、導電路形成部(11)の圧縮弾性率を測定したところ、 $5\times 10^6\text{ N/m}^2$ であった。

【0044】(4) 半導体装置の製造

配置ピッチが $250\mu\text{m}$ 、電極径が $120\mu\text{m}$ の複数のアルミニウムよりなる表面電極(21)を有する半導体素子(20)と、ガラス繊維補強型エポキシ樹脂よりなる基板本体の表面に、半導体素子(20)の表面電極(21)に対準なパターンに従って端子電極(31)が形成された回路基板(30)とを用意し、この回路基板(30)上に、上記の半導体素子実装用シート(10)

10

20

30

40

50



をその導電路形成部 ( 1 1 ) の各々が回路基板 ( 3 0 ) の端子電極 3 1 上に位置するよう配置し、この半導体素子実装用シート ( 1 0 ) 上に、半導体素子 ( 2 0 ) をその表面電極 ( 2 1 ) の各々が半導体素子実装用シート ( 1 0 ) の導電路形成部 ( 1 1 ) に位置するよう配置した ( 図 2 参照 ) 。そして、厚み方向に加圧した状態で、半導体素子実装用シート ( 1 0 ) の封止用絶縁部 ( 1 2 ) を、加熱温度 1 5 0 ° C 、加熱時間 2 . 0 時間の条件で加熱処理を行なうことにより、図 9 に示す構成の半導体装置 A を製造した。

【 0 0 4 5 】 〈比較例〉実施例 1 において使用した半導体素子および回路基板と同様の半導体素子 ( 8 0 ) および回路基板 ( 9 0 ) を用い、フリップチップ実装法により、図 1 0 ( ハ ) に示す構成の半導体装置 B を製造した。なお、半田パンプ ( 8 2 ) を構成する材料として鉛-錫合金 ( 組成比 : 鉛 / 錫 = 9 5 / 5 ) よりなる半田を用い、封止部 ( 8 3 ) を構成する材料としてエポキシ樹脂を用いた。

【 0 0 4 6 】 〈実験例〉上記の半導体装置 A および半導体装置 B について、1 サイクルが 1 5 5 ° C で 3 0 分間、- 6 5 ° C で 3 0 分間の条件で、合計 1 0 0 0 サイクルのヒートサイクル試験を行なった後、それぞれの半導体装置における半導体素子と回路基板との電気的接続状態を調べた。本発明に係る半導体装置 A は、全ての表面電極-端子電極間の電気的接続が良好であった。これに対して、比較用の半導体装置 B は、一部の表面電極-端子電極間の電気的接続が不良なものとなった。

#### 【 0 0 4 7 】

【発明の効果】本発明の半導体素子実装用シートによれば、実装すべき半導体素子の表面電極上に半田パンプを形成することなしに、当該半導体素子を回路基板に電気的に接続することができ、しかも、半導体素子と回路基板との電気的接続および半導体素子と回路基板との間の封止を同一の工程で行なうことができるので、回路基板上に半導体素子を容易に実装することができる。

【 0 0 4 8 】本発明の半導体装置によれば、半導体素子の表面電極と回路基板の端子電極とがコネクタ層の弾性導電路形成部を介して電気的に接続されているため、半導体素子の表面電極上に半田パンプを形成することなしに、簡単な工程で容易に製造することができる。また、温度変化による熱履歴を受けることにより、半導体素子、回路基板および封止部の各々の構成材料の熱膨張係数の差に起因して、弾性導電路形成部に相当に大きい応力が作用しても、当該弾性導電路形成部は、それに作用される応力の大きさに応じて変形するため破損することがない。従って、温度変化による熱履歴などの環境の

変化に対しても、半導体素子の表面電極と回路基板の端子電極との良好な電気的接続状態を安定に維持することができる。

#### 【図面の簡単な説明】

【図 1】本発明に係る半導体素子実装用シートの一例における構成および実装すべき半導体素子の構成の概略を示す説明用断面図である。

【図 2】図 1 に示す半導体素子実装用シートを、実装すべき半導体素子と回路基板との間に配置した状態を示す説明図である。

【図 3】封止用絶縁部シートの構成を示す説明用断面図である。

【図 4】封止用絶縁部シートの貫通孔内に導電路形成部用材料を充填する工程を示す説明図である。

【図 5】封止用絶縁部シートの貫通孔内に充填された導電路形成部用材料に平行磁場を作用させた状態を示す説明図である。

【図 6】半導体素子実装用シートを得るために用いられる一対の磁極板を示す説明図である。

【図 7】図 6 に示す一対の磁極板の間に、熱硬化性樹脂材料シートを形成する工程を示す説明図である。

【図 8】熱硬化性樹脂材料シートに平行磁場を作用させた状態を示す説明図である。

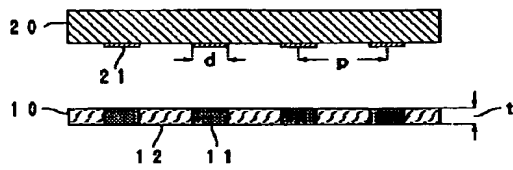
【図 9】本発明に係る半導体装置の一例における構成を示す説明用断面図である。

【図 1 0】フリップチップ実装法により半導体素子を回路基板上に実装する工程を示す説明図である。

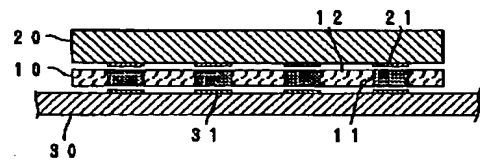
#### 【符号の説明】

1 0	半導体実装用シート		
1 1	導電路形成部	1 2	封止用絶縁部
1 3	導電路形成部用材料		
1 4	封止用絶縁部シート		
1 5	貫通孔	1 6	スキージ
1 7, 1 8	電磁石		
1 9	熱硬化性樹脂材料シート		
2 0	半導体素子	2 1	表面電極
3 0	回路基板	3 1	端子電極
4 0	コネクタ層	4 1	弾性導電路形成部
4 2	封止部	5 0	一方の磁極板
5 1	強磁性体部分	5 2	非磁性体部分
5 5	他方の磁極板	5 6	強磁性体部分
5 7	非磁性体部分	8 0	半導体素子
8 1	表面電極	8 2	半田パンプ
8 3	封止部	9 0	回路基板
9 1	端子電極		

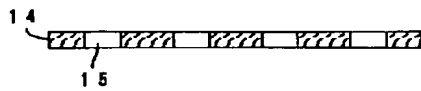
【図 1】



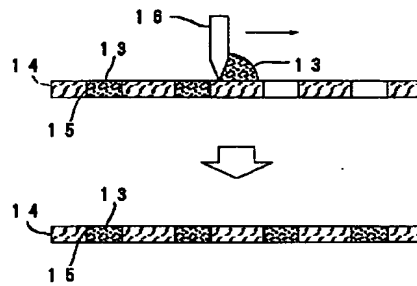
【図 2】



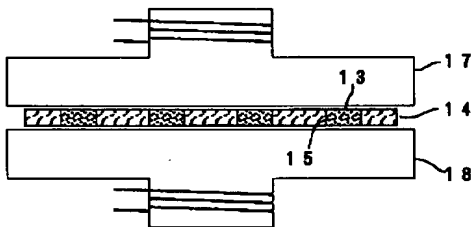
【図 3】



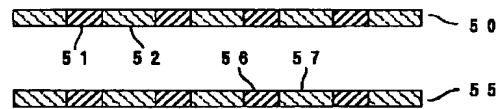
【図 4】



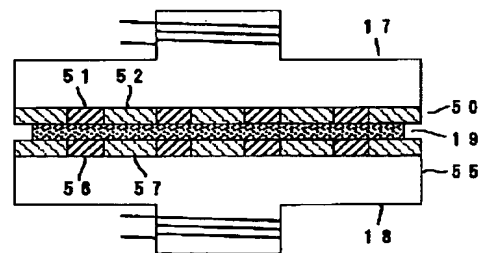
【図 5】



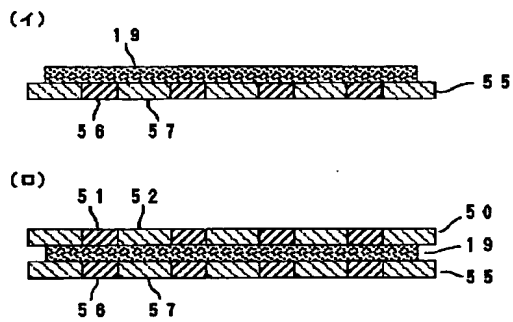
【図 6】



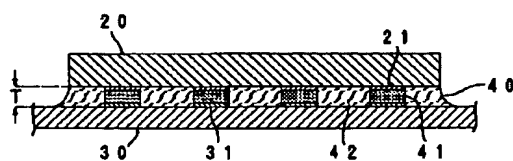
【図 8】



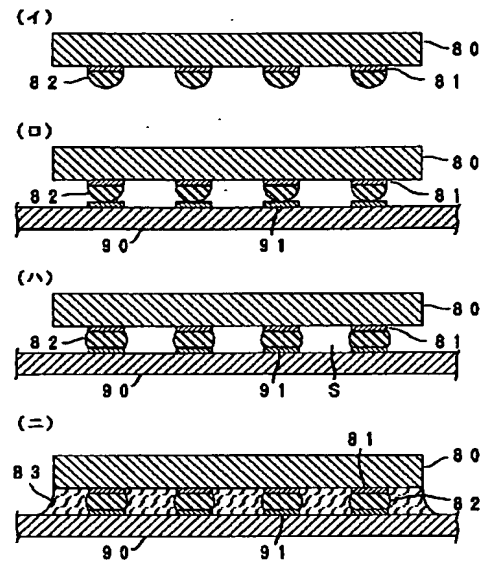
【図 7】



【図 9】



【図 1 0】



This Page Blank (usp10)